

## 2.6 Блок управления инвертором VB74.

Блок предназначен для управления выходным каскадом высокочастотного преобразователя, а так же для первичной обработки контрольных сигналов о величине высокого напряжения. Он построен на аналоговых и цифровых микросхемах широкого применения. Внешний вид блока показан на рис.2.6.1, а схема электрическая принципиальная — на рис. 2.6.3.

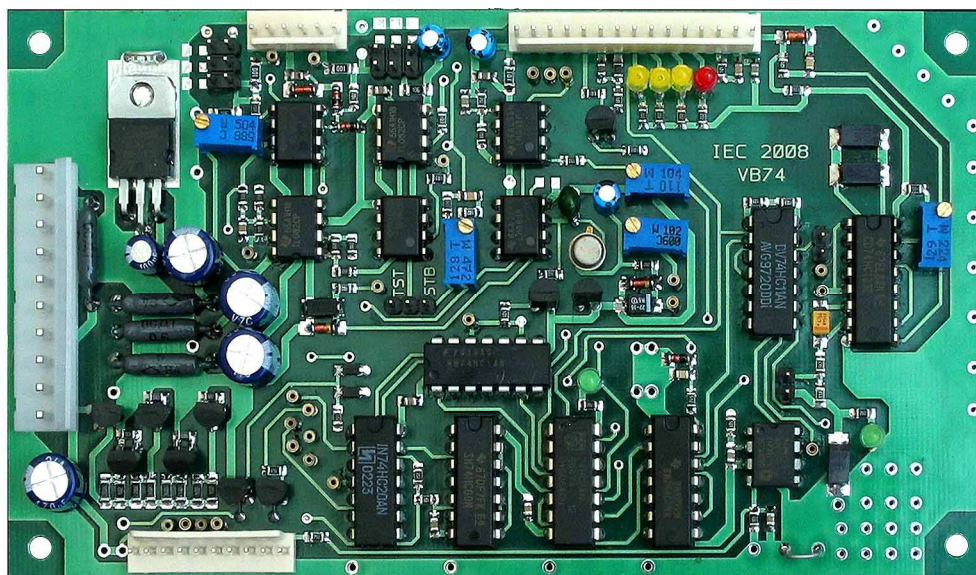


Рис. 2.6.1 Блок управления инвертором VB74

Управляющие сигналы поступают от контроллера CR07 в блок VB74 через разъем VXC (см. рис.2.6.3). уровень высокого напряжения задается сигналом VCU. Для предотвращения перегрузки инвертора в момент включения сигнал VCU поступает на схему регулирования через формирующую цепочку, которая состоит из элементов R11..R13, C4 и VT1. Полевой транзистор VT1 управляется сигналом включения инвертора, в исходном состоянии он открыт и блокирует прохождение управляющего напряжения на схему управления. В момент подачи сигнала включения инвертора транзистор VT1 закрывается, и конденсатор C4 начинает плавно заряжаться до напряжения сигнала VCU через резисторы R10, R12. Постоянное время заряда выбрано таким образом, чтобы время формирования фронта нарастания высокого напряжения составляло 2..3 мс. Далее управляющее напряжение поступает на инвертор, выполненный на операционном усилителе DA3.1, а затем — через резистор R30 на вход усилителя сигнала рассогласования.

Система автоматического регулирования напряжения построена по принципу пропорционального интегрально-дифференциального регулятора, роль усилителя рассогласования выполняет операционный усилитель DA2.1. Его выходной сигнал формируется как усиленная разность напряжения управления и напряжения обратной связи, которая поступает со схемы первичной обработки контрольных сигналов напряжения.

Для измерения высокого напряжения в трансформаторно-выпрямительном блоке установлены два частотно компенсированных делителя с коэффициентом передачи 10000:1. Выходное напряжение этих делителей через разъем VXV поступает в блок VB74 (контрольные точки P1 и P2). Для точной подстройки частотной характеристики делителей в блоке предусмотрены дополнительные магазины конденсаторов C2, C53..C55 и C1, C56..C58, которые подключаются параллельно выходу делителей. Резисторы R3 и R4 обеспечивают смещение входных цепей по напряжению и запирают преобразователь в случае если цепи обратной связи не подключены или в них имеется обрыв. Через резисторы R6 и R7

контрольные сигналы поступают на повторители напряжения, выполненные на операционных усилителях DA1.1, DA1.2. Для защиты входов этих усилителей от перенапряжения в схеме применены диодные ограничители на элементах VD1, VD3, VD5, R5, C52 и VD2, VD4, VD6, R8, C51. Контрольный сигнал анодного напряжения имеет положительную полярность, а катодного — отрицательную, поэтому для суммирования этих двух сигналов необходимо инвертирование контрольного сигнала катодного напряжения. Оно осуществляется на операционном усилителе DA2.2. Далее оба положительных сигнала поступают на суммирующий каскад DA4.1, суммарный сигнал инвертируется усилителем DA3.2 и через цепочку R25, R26, R27, C6 поступает на вход усилителя рассогласования. Для измерения величин контрольных сигналов через резисторы R34, R35 и R36 они поступают на разъем VXC, а затем — в контроллер CR07 (сигналы VUK, VUA и VUT).

Для проведения первичной отладки инвертора в блоке предусмотрена возможность включения технологического режима. Для этого переключатель JMP1 устанавливается в верхнее положение. Вход усилителя рассогласования отключается от сигнала обратной связи, а его коэффициент усиления устанавливается равным единице. В этом режиме управляющее напряжение поступает на вход широтно-импульсного формирователя с коэффициентом передачи равным единице.

На вход усилителя DA4.2 поступают контрольные сигналы противоположной полярности, а на его выходе формируется разностный сигнал катодного и анодного напряжения усиленный в 10 раз. Этот сигнал используется для выключения инвертора в случае возникновения недопустимо большого перекоса напряжения. Пороговое сравнение разностного сигнала осуществляется с помощью двуполярного компаратора, выполненного на микросхеме DA5. Пороги компаратора установлены на уровне  $-5\text{ В}$  и  $+5\text{ В}$ , что соответствует разностному напряжению, возникающему при перекосе более  $10\text{ кВ}$  между анодным и катодным напряжением.

На втором листе принципиальной схемы показан широтно-импульсный преобразователь напряжения и схема формирования сигналов, управляющих работой полевых транзисторов выходного каскада.

Широтно-импульсный преобразователь построен на базе компаратора DA8. На одном из элементов компаратора DA8.2, транзисторы VT2, VT3, VT10 и инверторе DD2.6 собран задающий генератор частоты. Работу генератора рассмотрим по принципиальной схеме (рис. 2.6.3) и временным диаграммам (рис. 2.6.2).

В исходном состоянии на прямом входе компаратора DA8.2 (контакт 5) присутствует напряжение около  $10\text{ В}$ , которое формируется параметрическим стабилизатором R65, VD13, C17. На выходе компаратора (контакт 7) при этом формируется высокий уровень логического сигнала, который после инверсии на элементе DD6.2 запирает ключ на полевом транзисторе VT3. Конденсатор C18 начинает заряжаться от генератора тока, собранного на основе полевого транзистора VT10. На контрольной точке P14 формируется линейно нарастающее напряжение. Этот процесс продолжается до тех пор, пока уровень напряжения не достигнет порога срабатывания компаратора DA8.2. В этот момент на выходе компаратора появляется уровень логического нуля, на выходе элемента DD6.2 — уровень логической единицы. Транзисторные ключи VT2 и VT3 открываются. При этом изменяется уровень опорного напряжения на прямом входе компаратора, так как напряжение на него поступает через делитель R66, R69, и при открытом ключе VT2 составляет около  $2\text{ В}$ . Конденсатор C18 начинает быстро разряжаться через резистор R77 и открытый транзистор VT3. В момент, когда уровень напряжения на конденсаторе опустится до уровня изменившегося опорного напряжения (около  $2\text{ В}$ ) происходит переключение компаратора DA8.2, на его выходе устанавливается уровень логической единицы, и процесс повторяется с начала. Таким образом задающий генератор формирует на выходе инвертора DD6.2 (контрольная точка P13) импульсный сигнал с частотой около  $90\text{ кГц}$ .

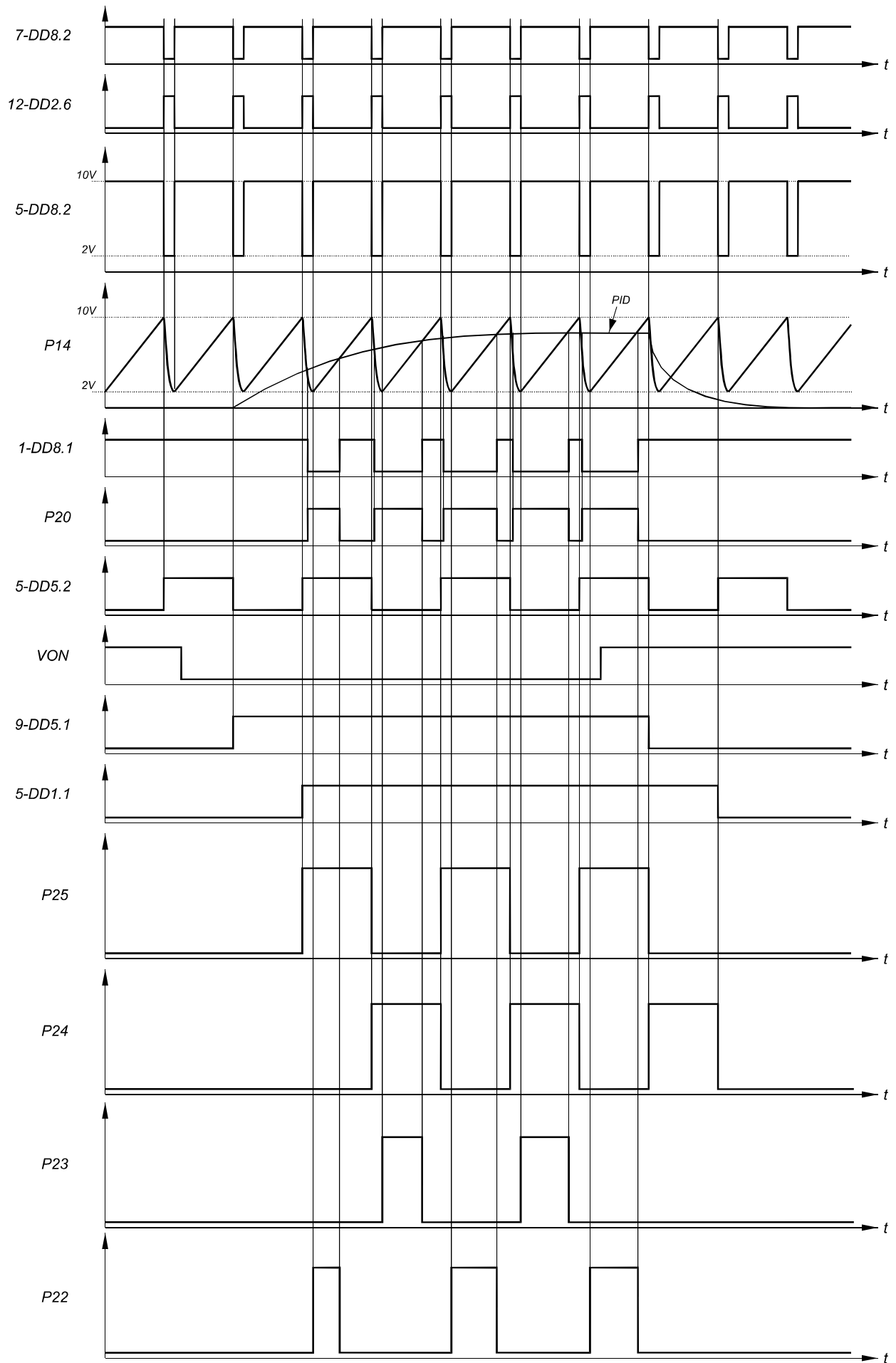


Рис. 2.6.2 Временные диаграммы работы генератора управляющих сигналов

Частота генератора устанавливается с помощью подстроечного резистора R76. Генератор имеет возможность небольшой регулировки амплитуды линейно нарастающего напряжения с помощью резистора R67. Требуемая длительность обратного хода генератора устанавливается путем подбора сопротивления резистора R77.

Импульсы тактового генератора поступают на счетный вход симметрирующего триггера DD5.2, который включен по схеме делителя частоты. На его выходах (контакты 5 и 6) формируются два противоположных по фазе меандра с частотой 45 кГц. Эти сигналы используются для разрешения работы диаметрально противоположных транзисторов мостовой схемы инвертора, а так же для записи в триггеры DD5.1 и DD1.1 сигналов разрешения работы инвертора.

При подаче сигнала включения инвертора VON низкого логического уровня в случае отсутствия запрещающих сигналов системы защиты и блокировок (VER, RS\_ADM) на выходе логического элемента DD3.3 устанавливается уровень логической единицы. Ближайшим фронтом сигнала с инверсного выхода триггера DD5.2 этот уровень будет записан в триггер DD5.1 (см. рис. 2.6.2), а еще через полпериода — в триггер DD1.1. После установки триггера DD5.1 сигнал BL\_VCU с его инверсного выхода поступает в затвор транзистора VT1, запирает его, и конденсатор C4 начинает плавно заряжаться до уровня напряжения VCU. Это приводит к нарастанию выходного сигнала усилителя рассогласования PID (см. временную диаграмму P14 на рис. 2.6.2). В момент времени, когда уровень линейно нарастающего напряжения опускается ниже уровня напряжения PID происходит переключение компаратора DA8.1, выходной сигнал которого инвертируется элементом DD2.5. На выходе этого элемента (контрольная точка P20) генерируется сигнал, скважность которого пропорциональна уровню сигнала рассогласования.

Управляющие сигналы на транзисторы выходного каскада формируются на схемах совпадения, которые построены на логических элементах микросхем DD6 и DD7, усиливаются транзисторными каскадами VT4..VT8 и поступают в блок выходного каскада через разъем VX1. Нижние транзисторы мостовой схемы преобразователя управляются противофазными меандрами, время существования которых ограничено выходным сигналом триггера DD1.1. Этот сигнал представляет собой задержанный и синхронизированный работой тактового генератора сигнал включения инвертора VON. Так как переключение нижних транзисторов моста осуществляется одновременно, то благодаря наличию времени запирающего транзистора (около 150 нс) в любой момент времени хотя бы один из нижних ключей преобразователя находится в открытом состоянии, демпфируя паразитные колебания резонансного характера, которые могут возникать на элементах выходного каскада. Отпирающий уровень сигналов управления верхними транзисторами мостового преобразователя формируется при совпадении на элементах микросхемы DD6 следующих условий:

а) с выхода широтно-импульсного преобразователя (10 контакт DD2.5) поступает высокий логический уровень;

б) с выхода задающего генератора частоты (12 контакт DD2.6) поступает низкий логический уровень, который после инвертирования элементом DD2.4 становится высоким, таким образом верхние транзисторы моста будут закрыты всегда на время формирования обратного хода генератора линейно нарастающего напряжения;

в) с выхода триггера DD5.1 поступает высокий логический уровень, что означает, что сигнал VON активен и нет блокирующих сигналов системы защиты;

г) высокий логический уровень поступает с одного из выходов симметрирующего триггера.

Сопротивление резистора R77 выбрано таким образом, чтобы разряд конденсатора C18 осуществлялся за время около 200 нс. Это обеспечивает наличие паузы, необходимой для закрытия транзисторов, при максимальной длительности сигналов широтно-импульсного преобразователя.

После завершения времени экспозиции сигнал VON переходит в высокий логический уровень, и по ближайшему фронту сигнала с инверсного выхода симметрирующего триггера триггер DD5.1 будет сброшен. Благодаря этому закроются верхние транзисторы мостового преобразователя, и инвертор завершит свою работу. Сброс триггера DD1.1 произойдет с задержкой на полпериода частоты преобразования, что позволит удерживать один из нижних транзисторов в открытом состоянии еще более 10 мкс, обеспечивая демпфирование паразитных резонансных процессов в выходном каскаде.

Система защиты инвертора предусматривает выключение транзисторов выходного каскада в следующих случаях:

а) нет разрешения работы преобразователя в связи с запрещающим сигналом супервизора питания RS\_ADM;

б) обнаружен перекоп напряжений анодного и катодного трансформаторов более 10 кВ;

в) сработала одна из защит (тепловая защита, защита по превышению тока нагрузки, защита по превышению потребляемого тока) блока выходного каскада преобразователя;

г) нет разрешения работы преобразователя от одновибраторов, обеспечивающих минимальную задержку между снимками и ограничивающих максимальную длительность экспозиции (микросхема DD4).

Одновибратор на элементе DD4.1 ограничивает максимальную длительность экспозиции. Ее величина задается элементами C14, R58, R59, и в зависимости от положения переключки JMP2 может составлять 3 с или 1с. По завершению работы одновибратора DD4.1 запускается второй одновибратор на элементе DD4.2, который блокирует дальнейшее разрешение работы преобразователя на время около 15 с. Величина этой задержки устанавливается подстроечным резистором R104.

Логическое суммирование условий выключения выходного каскада выполняется элементами DD3.1 и DD3.2, на выходе которых формируется сигнал VER. Этот сигнал сбрасывает триггеры DD5.1 и DD1.1, закрывает транзисторный ключ VT7, VT11 через который запитаны управляющие цепи полевых транзисторов в блоки выходного каскада, а так же поступает через разъем VXC в контроллер ППУ для программной обработки.

Для надежного выключения преобразователя при возникновении перекопа напряжений выходной сигнал компаратора DA5 фиксируется в триггере DD1.2.

Сброс всех триггеров системы защиты происходит по низкому логическому уровню сигнала VER, который поступает из контроллера CR07.

Питание цифровых логических микросхем блока VB74 осуществляется напряжением +5 В от интегрального стабилизатора DA7.

Схемы расположения элементов блока VB74 показаны на рис. 2.6.4

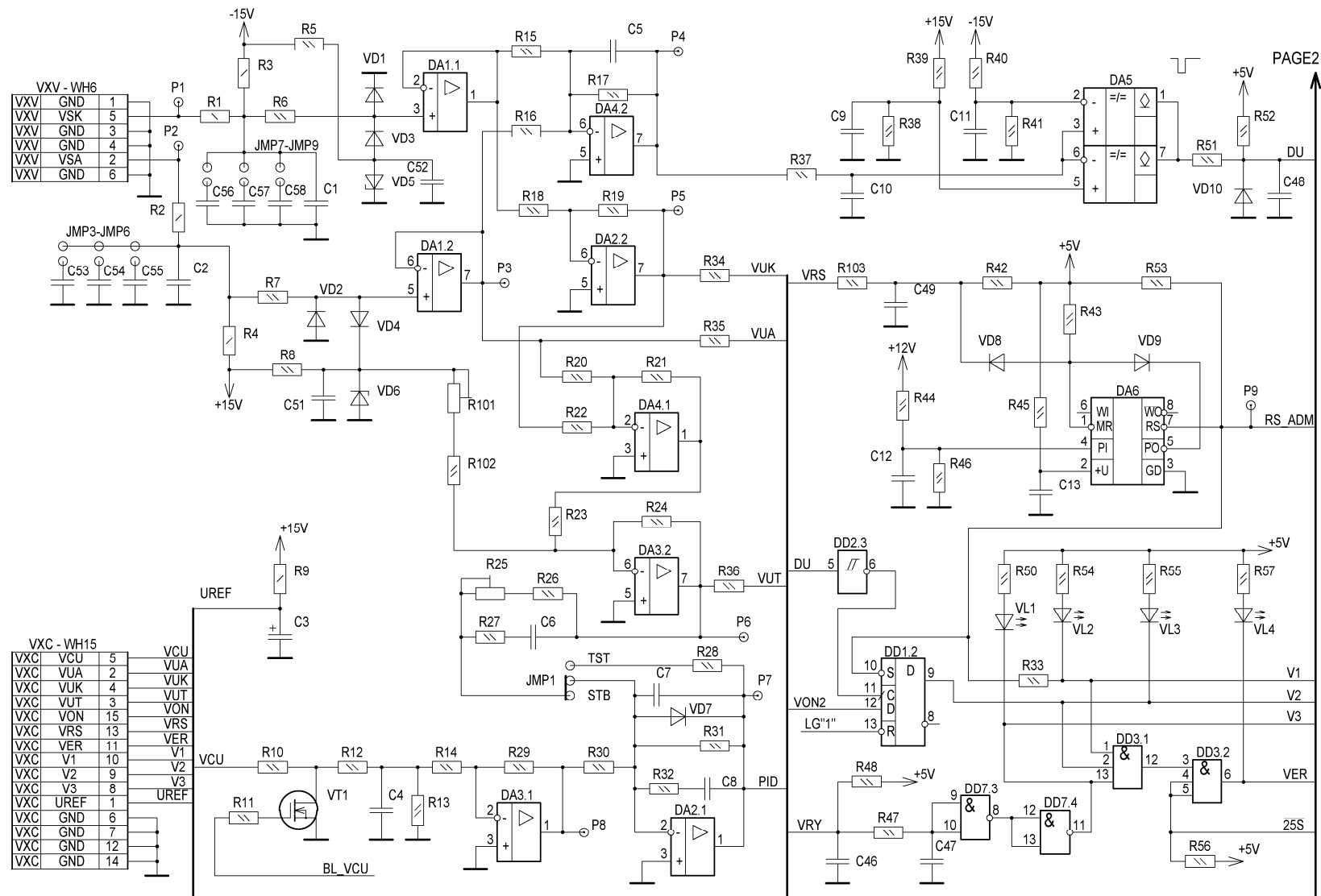


Рис. 2.6.3 Модуль VB74. Схема электрическая принципиальная. Лист 1

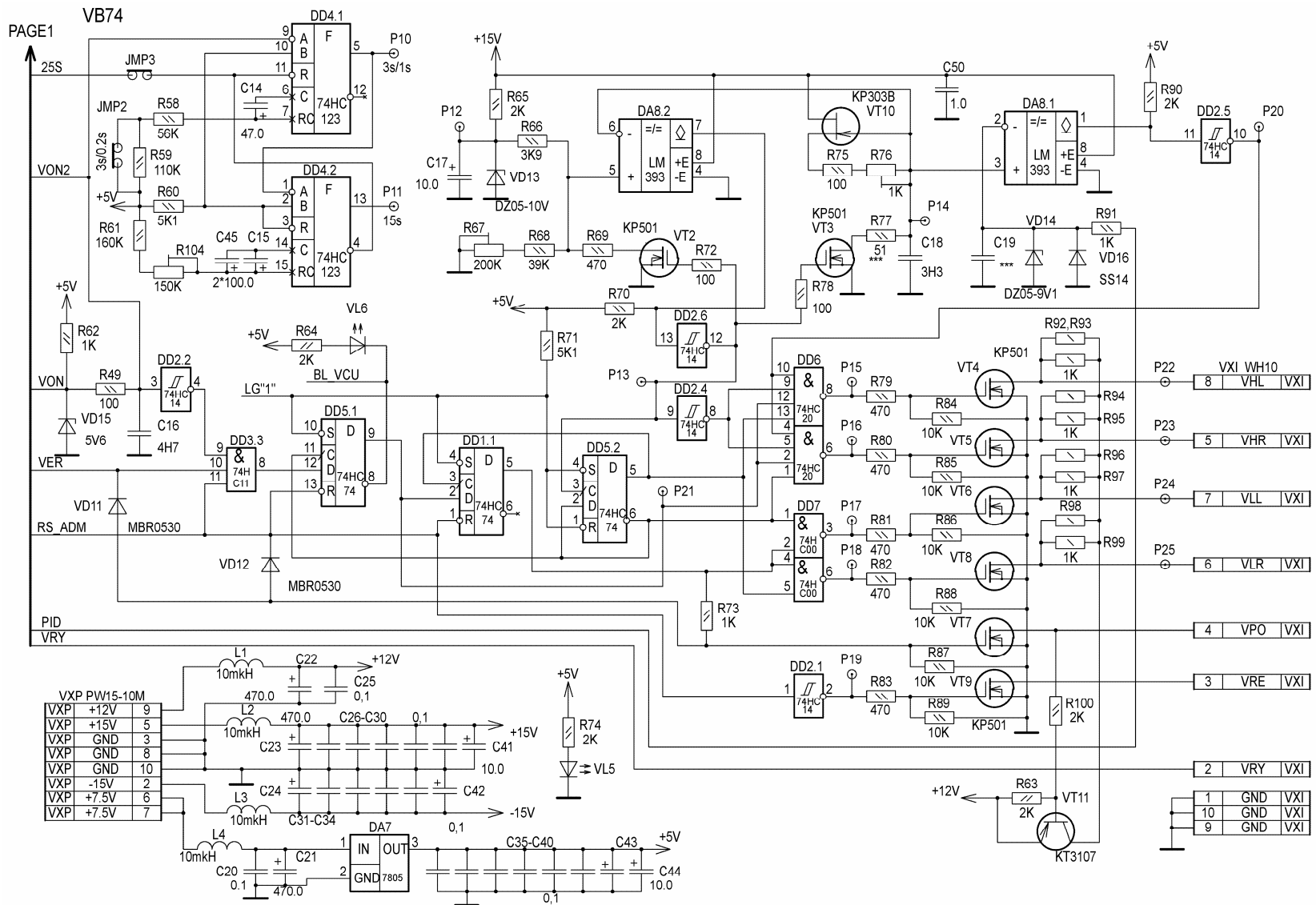


Рис. 2.6.3 Модуль VB74. Схема электрическая принципиальная. Лист 2

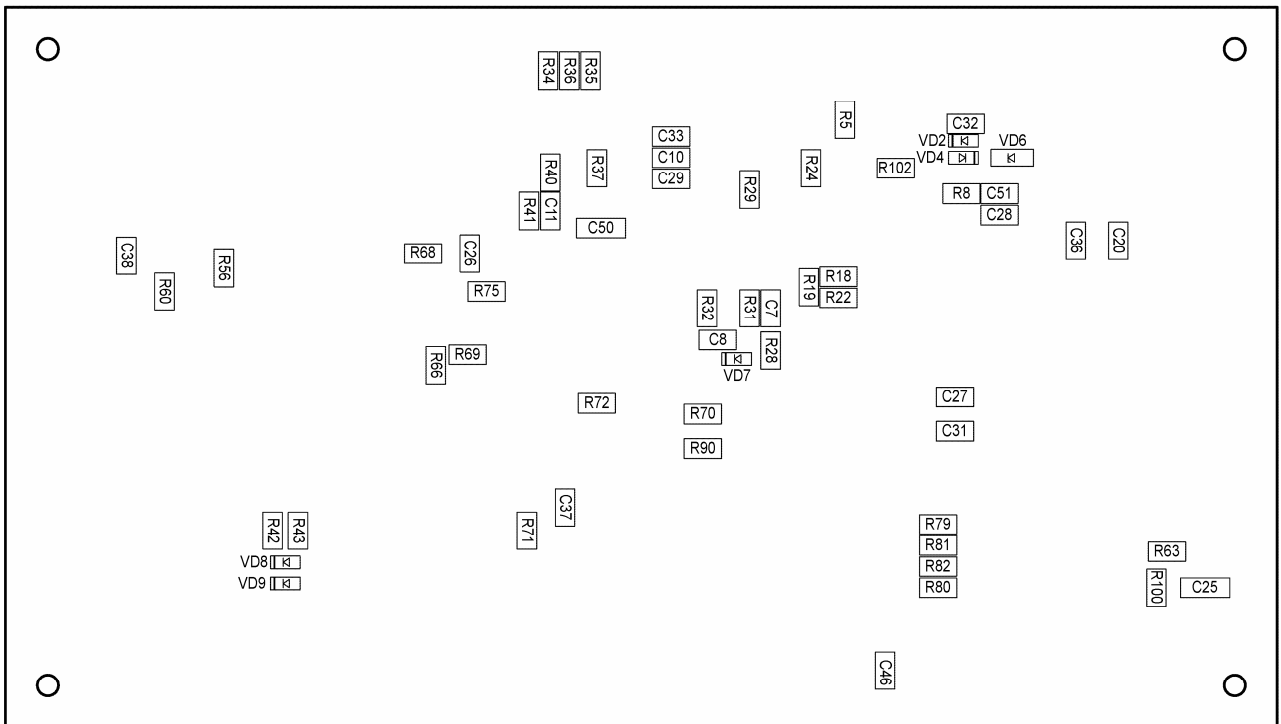
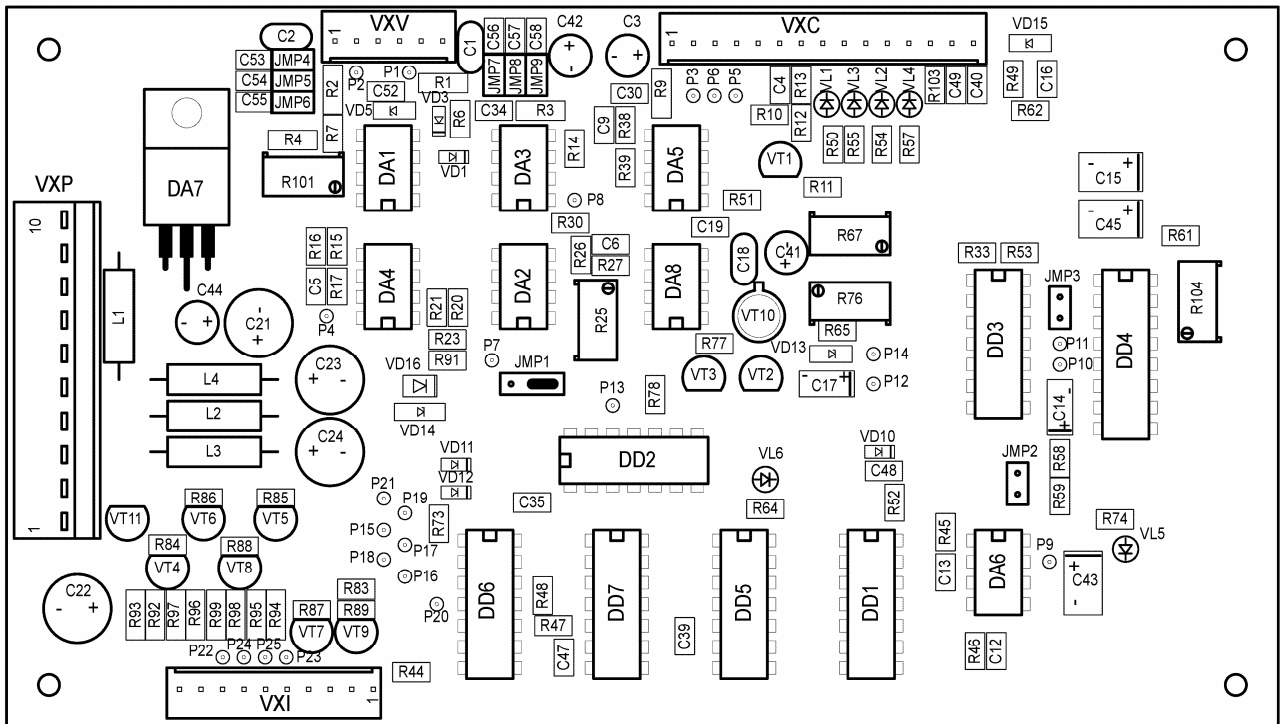


Рис. 2.6.4 Блок VB74. Схема расположения элементов